



## **Conception et optimisation d'un synthétiseur de fréquence pour les communications mobiles sur GSM**

**Samir KAMECHE<sup>1\*</sup>, Mohamed KAMECHE<sup>2</sup> et Mohammed FEHAM<sup>1</sup>**

<sup>1</sup>*Laboratoire de systèmes et technologies de l'information et de la communication (STIC), Université du Tlemcen, Algérie*

<sup>2</sup>*Laboratoire d'instrumentation spatiale, Centre National des Techniques Spatiales (CNTS), Algérie*

---

\* Correspondance, courriel : [kamsamir@yahoo.fr](mailto:kamsamir@yahoo.fr)

### **Résumé**

Cet article décrit la simulation et la conception d'un synthétiseur de fréquence destiné pour les applications des communications mobiles sur GSM. Dans ce travail, nous discutons les effets du bruit de phase dans chaque composant dans le circuit et les raies de référence sur les performances du système. Une évaluation précise du filtre de boucle est nécessaire afin d'optimiser les performances du circuit en trouvant un compromis entre le temps du changement de la fréquence (PLL lockup time) et les raies de référence.

**Mots-clés :** *PLL, GSM, synthétiseur de fréquence, bruit de phase.*

### **Abstract**

**Design and optimisation of frequency synthesizer for mobile communications on GSM**

This paper describes the simulation and the design of a frequency synthesizer for use in mobile GSM communications. In this work, we discuss the effect of the phase noise on each component in the circuit and the effect of reference spurs on the system performances. An accuracy evaluation of the loop filter is necessary to optimise the ratio between the PLL lockup time and the amplitude of reference spurs.

**Keywords :** *PLL, GSM, frequency synthesizer, phase noise.*

## 1. Introduction

Dans les systèmes de communications sans fil modernes, les caractéristiques du bruit de phase du synthétiseur de fréquence jouent un rôle critique dans les performances du système. Un bruit de phase plus important que celui désiré peut causer la dégradation des performances du système en réduisant le rapport signal-bruit et en augmentant la puissance du canal adjacent ainsi le rejet de ce canal devient difficile [1].

Tandis que de nombreux facteurs affectant le bruit de phase dans les synthétiseurs de fréquence à base de PLL sont bien compris, les concepteurs négligent souvent d'autres facteurs additionnels.

Négliger ces facteurs additionnels peut causer la dégradation des performances du système, quand une analyse plus complète peut apporter des solutions plus élégantes.

Les boucles d'asservissement de phase permettent d'effectuer une détection cohérente du signal ou, dans d'autres cas d'effectuer un filtrage très sélectif du signal éliminant le maximum de bruits. Dans ce travail, nous discutons les effets du bruit de phase dans chaque composant dans le circuit (oscillateur pilote quartz, l'oscillateur contrôlé par tension, les diviseurs de fréquence, comparateur de phase) [2] et les raies de référence sur les performances du système.

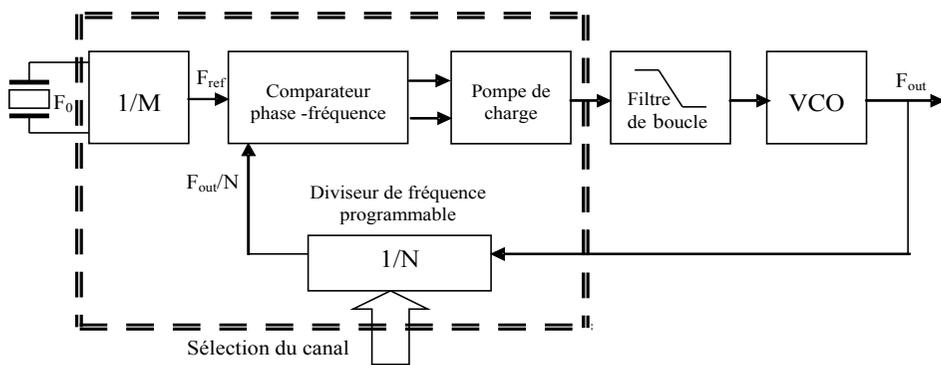
## 2. Théorie et Conception

La **Figure 1** présente l'architecture classique d'un synthétiseur de fréquence utilisant une boucle à verrouillage de phase (Phase locked loop PLL). La PLL est un système bouclé dans lequel la phase d'un signal d'entrée est asservie à la phase d'un signal de référence  $F_{ref}$ . L'architecture du synthétiseur de fréquence est composée des éléments suivants: un comparateur phase-fréquence suivi d'une pompe de charge, un filtre de boucle, un oscillateur contrôlé en tension (VCO) et des diviseurs de fréquence.

Dans ce type de synthétiseur, la fréquence de sortie peut s'écrire :

$$F_{out} = \frac{N}{M} F_0 \quad (1)$$

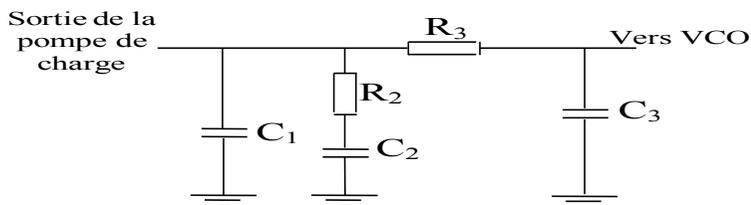
où  $F_0$ ,  $F_{out}$   $N$  et  $M$  représentent respectivement, la fréquence pilote générée par l'oscillateur local, la fréquence de sortie de la PLL, le rapport de division programmable et le rapport de division d'entrée.



**Figure 1 :** Synthétiseur de fréquence classique à base de PLL

Pour réaliser un synthétiseur de fréquence, deux possibilités sont offertes :  
 Soit faire varier la fréquence de référence  $F_{ref}$ . La plage de variation de la fréquence de sortie  $F_{out}$  est alors égale à la plage de variation de  $F_{ref}$  multipliée par  $N$ .  
 Soit utiliser une fréquence de référence fixe, généralement générée à partir d'un oscillateur à quartz, et faire varier le rapport de division  $N$  en utilisant un compteur programmable dans la boucle de retour.  
 Les synthétiseurs de fréquence fractionnaires utilisent la deuxième solution pour générer toute une plage de fréquence.

Le bruit dans les diviseurs et la pompe de charge à des multiples de la fréquence de référence  $F_{ref}$ , peut causer des bandes latérales FM non désirées à la sortie RF. Dans les communications sans fil, la fréquence de comparaison du détecteur de phase est généralement un multiple de l'espacement entre canaux. Ces bandes latérales peuvent causer du bruit dans les canaux adjacents. Pour répondre à ces contraintes critiques, l'emplacement d'une résistance en série et une capacité parallèle avant le VCO fournit un pôle passe bas capable de mieux atténuer les raies non désirées. La configuration recommandée de ce filtre est illustrée sur la **Figure 2**.



**Figure 2 :** Filtre passe-bas 3ème ordre

La fonction de transfert de l'impédance du filtre de boucle montré dans la **Figure 2** est donnée par [1] :

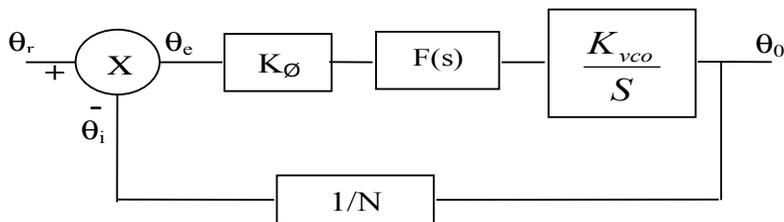
$$F(s) = \frac{Z(s) \cdot \left( \frac{1}{C_3 \cdot s} \right)}{Z(s) + R_3 + \left( \frac{1}{C_3 \cdot s} \right)} \quad (2)$$

où  $Z(s)$  est la fonction de transfert du filtre de deuxième ordre donnée par l'équation (3) [1],

$$Z(s) = \frac{s \cdot C_2 \cdot R_2 + 1}{s^2 C_1 \cdot C_2 \cdot R_2 + s \cdot C_1 + s \cdot C_2} \quad (3)$$

Dans la plupart des PLL conventionnelles, plusieurs paramètres de conception des PLL peuvent être traités en tant que valeurs constantes. Cette approximation linéaire fournit une bonne évaluation des performances de la boucle. Les valeurs des constantes de conception du filtre de PLL dépendent de l'application spécifique. Par exemple, la constante du détecteur de phase  $K_\phi$  est déterminée par l'amplitude du courant de sortie de la pompe de charge du synthétiseur [3,4].

Quelques connaissances de base de la théorie de contrôle pour les boucles sont nécessaires afin de comprendre la dynamique du filtre de PLL. Un modèle mathématique linéaire représentant la phase de PLL dans l'état verrouillé est présenté à la **Figure 3** [5]. Un intégrateur additionnel de fonction de transfert  $(1/S)$  est introduit à côté du VCO pour transformer sa fonction de transfert de manière à obtenir une grandeur phase à sa sortie.



**Figure 3 : Modèle linéaire de la PLL**

En se basant sur ce diagramme simplifié (**Figure 3**), et la théorie de contre-réaction, on peut obtenir les équations des fonctions de transfert suivantes :

La boucle directe

$$G(s) = \frac{\theta_0}{\theta_e} = \frac{K_\phi \cdot F(s) \cdot K_{vco}}{s} \quad (4)$$

$\theta_0$  et  $\theta_e$  représentent respectivement les phases de sortie et d'erreur.  $K_\phi$  est la constante du détecteur de phase.  $K_{VCO}$  indique la linéarité du VCO et  $F(s)$  est la fonction de transfert du filtre. La contre réaction :

$$H(s) = \frac{\theta_i}{\theta_0} = \frac{1}{N} \quad (5)$$

avec,  $\theta_i$  est la phase inverse.

La boucle ouverte

$$T(s) = H(s)G(s) = \frac{\theta_i}{\theta_e} = \frac{K_\phi \cdot F(s) \cdot K_{VCO}}{N \cdot s} \quad (6)$$

La boucle fermée

$$K(s) = \frac{\theta_0}{\theta_r} = \frac{G(s)}{[1 + H(s) \cdot G(s)]} \quad (7)$$

$\theta_r$  est la phase de référence.

### **Bruit du cristal de référence**

Le bruit dans un oscillateur de référence est amplifié dans la boucle par le gain de la fonction de transfert de la boucle fermée. Une approximation simple pour cette source de bruit due au cristal de référence peut se faire comme pour n'importe quel oscillateur où il est inversement proportionnel à la fréquence excentrée [6].

Des approximations d'ordres supérieurs peuvent être employées mais l'expérience a montré que l'approximation  $1/f$  est un point de départ intéressant.

Si un TCXO est employé, les données du bruit de phase devraient être obtenues du fabricant de sorte que les valeurs de référence puissent être employées avec les modèles.

Le bruit dans un oscillateur de référence,  $N_{tcxo}(f)$ , à la sortie du synthétiseur est exprimé au moyen de la relation (8) [1],

$$N_{tcxo}(f) = \frac{10 \left( \frac{N_{tcxo-ref}}{20} \right)}{\frac{f}{f_{tcxo-ref}}} \cdot (K(f) \cdot \frac{1}{M}) \quad (8)$$

$N_{tcxo-ref}$  est le bruit de référence donné par le constructeur et  $f_{tcxo-ref}$  est la fréquence excentrée (offset) pour laquelle le bruit de référence est spécifié.

### Bruit de détecteur de phase

Le bruit de phase dans ce cas, représente la qualité du bruit interne du détecteur de phase-fréquence et des diviseurs de fréquence dans la PLL. Ce bruit est aussi modélisé en fonction de la fréquence et de la valeur spécifique du bruit (bruit de référence) donné par le fabricant du circuit intégré (synthétiseur). Pour notre application, le synthétiseur choisi est celui de la famille « National Semiconductor » dont le bruit du détecteur de phase est donné pour une fréquence de référence de 1Hz.

Le bruit dans le détecteur de phase  $N_{pd}(f)$  à la sortie du synthétiseur est exprimé au moyen de la relation suivante [1] :

$$N_{pd}(f) = 10 \frac{N_{pd-ref} + 10 \log \left[ \frac{f_{ref}}{Hz} \right]}{20} \cdot K(f) \quad (9)$$

$N_{pd-ref}$  est le bruit de référence donné par le constructeur.

### Bruit dans le VCO

Il est très connu que dans un oscillateur à transistor FET la principale source de bruit est une source basse fréquence qui module le signal micro-onde par l'intermédiaire de l'impédance non linéaire du transistor.

Dans ce travail, nous employons une simple approximation permettant d'écrire que le bruit est inversement proportionnel à la fréquence excentrée (offset) de la fréquence centrale. Ce bruit  $N_{vco}(f)$  dans le VCO, à la sortie du synthétiseur, est exprimé au moyen de la relation (10) [7] :

$$N_{vco} = K_{vco} + \frac{K_{vco_2}}{f^2} + \frac{K_{vco_3}}{f^3} \quad (10)$$

### Bruits générés par les résistances

Il est important de se rendre compte que dans un système de ce type, le bruit généré par les résistances du filtre passe-bas peut affecter l'entrée du VCO même si la PLL n'était pas reliée (fermée).

Les résistances et les dispositifs actifs tels que les amplificateurs opérationnels produisent des tensions du bruit. Dans le cas d'un amplificateur opérationnel, le bruit devrait être spécifié. Dans le cas d'une résistance, cette tension du bruit est définie par le bruit thermique produit par la résistance. Le bruit thermique produit par une résistance est :

$$V_{Noise}(R) = \sqrt{4.T_0.K.R.B} \quad (11)$$

$T_0$  est la température ambiante égale à 300K,  $k$  est la constante de Boltzman,  $R$  est la résistance, et  $B$  la bande passante.

### Raies latérales de référence (référence spurs)

Il est très connu aujourd'hui que les bandes latérales de référence et les parasites sur la sortie jouent un rôle très important dans la détermination des caractéristiques du bruit dans une PLL. Ces raies de référence non désirées apparaissent aux multiples de fréquence de comparaison et qui peuvent être transportées avec la fréquence centrale dans un émetteur RF à travers le mélangeur. La puissance de ces raies de référence est exprimée au moyen de la relation suivante [8] :

$$Spur_{Gain}(F_{Spur}) = 20 \log \left[ \frac{K_{VCO} F(s) K_{\phi}}{s} \right] \quad (12)$$

$F_{Spur}$  est une fréquence supposée multiple de la fréquence de comparaison.

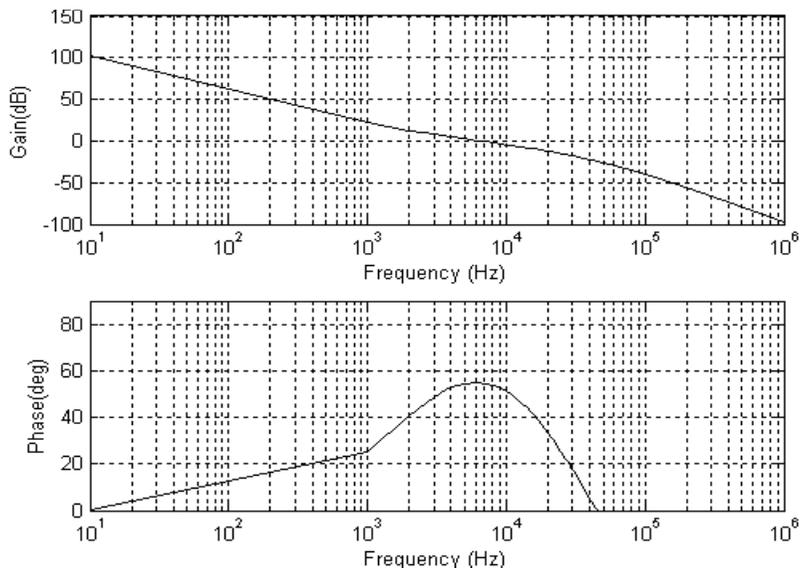
### 3. Résultats et discussion

Pour la simulation du circuit décrit dans ce travail, nous utilisons un programme écrit en code « Matlab ».

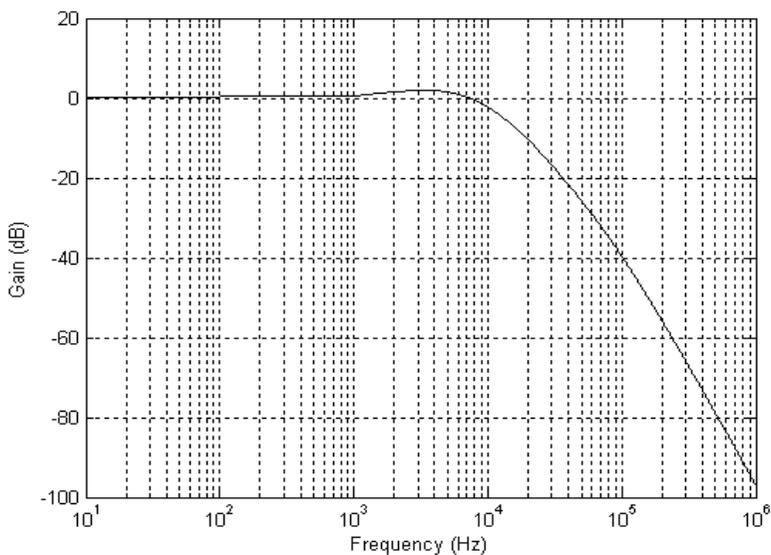
Le composant essentiel que nous avons choisi pour réaliser la boucle à verrouillage de phase est le LMX 2316 de National Semiconductor, capable de générer et de contrôler un signal très stable de faible bruit dans la gamme des fréquences [500MHz-1.2 GHz] et possède un prescaler de module 32/33. Le VCO utilisé dans cette application est le JTOS-1025 de Mini-Circuits capable de délivrer une puissance de sortie de +8.6 dBm sur une charge de 50  $\Omega$ . La linéarité de ce composant est relativement bonne (21-36) MHz/V.

Cette donnée est essentielle et intervient dans le calcul du filtre de boucle du synthétiseur. Ce composant présente aussi un pulling de 5 MHz, un pushing de 0.6 MHz/V et un bruit de phase de -70, -94, -114 et -134 sur une excentration de 1KHz, 10KHz, 100KHz et 1MHz, respectivement par rapport à la fréquence centrale. L'oscillateur de référence est un TCXO fourni par Voltronics qui permet de délivrer une fréquence très stable de 10MHz avec un bruit de -110 dBc sur une excentration de 10 KHz. En pratique, la PLL doit être programmée par un ordinateur et un câble en port parallèle. Les changements de la fréquence sont assurés en utilisant le logiciel « Codeloader 2 » fourni par National Semiconductor.

Les **Figures 4 et 5** représentent respectivement les courbes de fonctions de transfert en boucles ouverte et fermée. Nous remarquons qu'à partir du gain de la fonction de transfert en boucle ouverte nous avons pu déterminer la valeur de  $\omega_p$  correcte (le point où le gain est égal à zéro).



**Figure 4 : Réponses de la boucle ouverte**



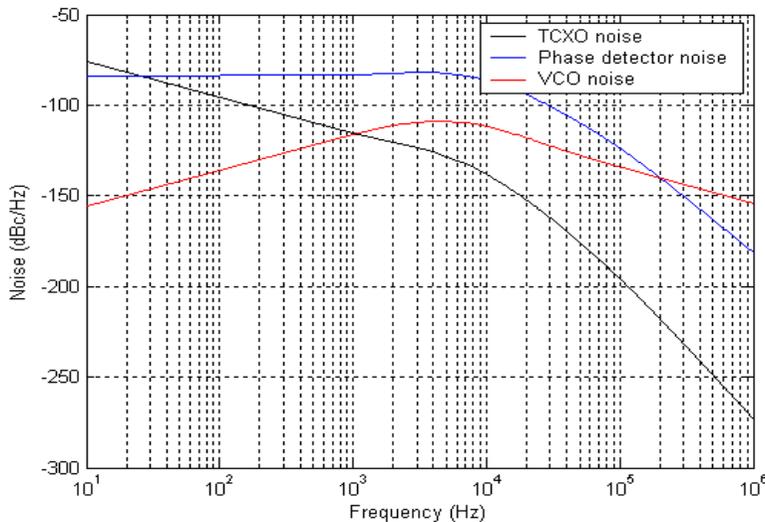
**Figure 5 : Réponse de la boucle fermée**

Dans la largeur de bande de boucle du synthétiseur, la fonction de transfert de la boucle fermée  $K(f)$  (**Figure 5**) est très grande en amplitude, ce qui provoque par conséquent une augmentation du niveau du bruit de l'oscillateur de référence. Ce gain est constant jusqu'à ce qu'il atteigne la largeur de bande de la boucle, ensuite il chute rapidement. Cette fonction représente aussi le gain du bruit dans la bande passante d'un côté et l'atténuation de ce bruit au dessus de cette fréquence. Le gain dans la bande passante de la boucle vient en grande partie du rapport de division N de la boucle.

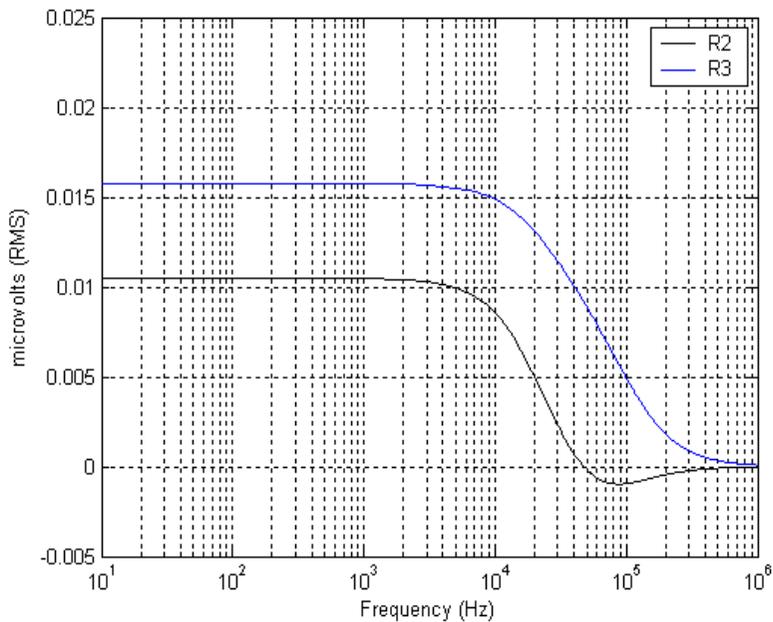
Les **Figures 6, 7 et 8** illustrent respectivement le bruit de phase pour chaque composant (TCXO, détecteur de phase et VCO), bruits générés par les résistances et le bruit total sans et avec le bruit généré par les résistances. On note que les raies de référence ne sont pas incluses dans le bruit total. Les résultats montrent qu'à l'intérieur de la largeur de bande de boucle (10Hz-10KHz), le niveau du bruit de l'oscillateur de référence est plus important du fait que le gain de la fonction de transfert en boucle fermée est élevé dans cette bande.

Les résultats montrent aussi que sur des excentrations petites par rapport à la fréquence centrale, la contribution du bruit des résistances (**Figure 7**) est très petite sur le bruit total et elle est plus intéressante que sur des excentrations plus grandes ce qui permet de dire que leur effet est négligeable sur la sortie du synthétiseur (**Figure 8**).

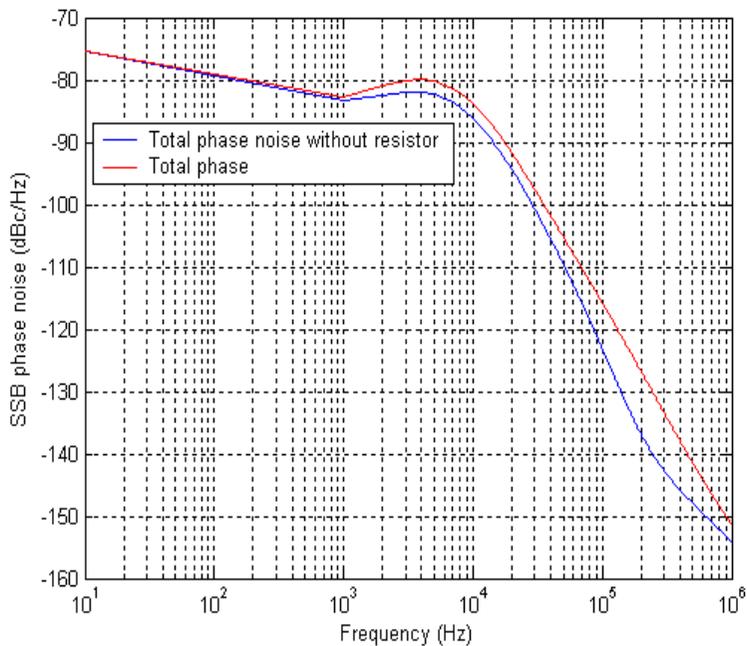
Dans le but de démontrer que le bruit du VCO est hautement filtré par la PLL, en provoquant la réjection du bruit de phase ou erreur de phase dans la bande passante, la **Figure 9** expose la réponse de l'erreur de la boucle. Cette fonction est obtenue par association entre les réponses de la boucle ouverte et fermée.



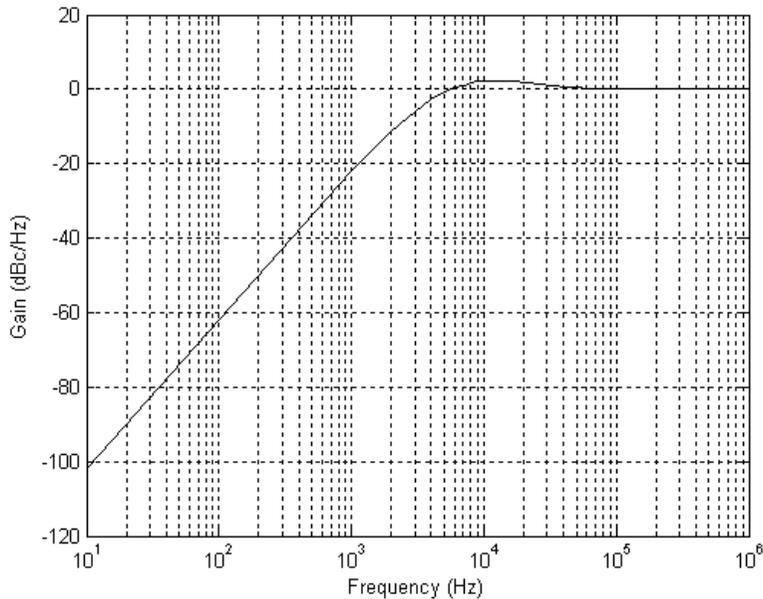
**Figure 6 :** Contribution des Bruits de TCXO, VCO et détecteur de phase



**Figure 7 :** Bruits g n r s par les r sistances  $R_2$  et  $R_3$



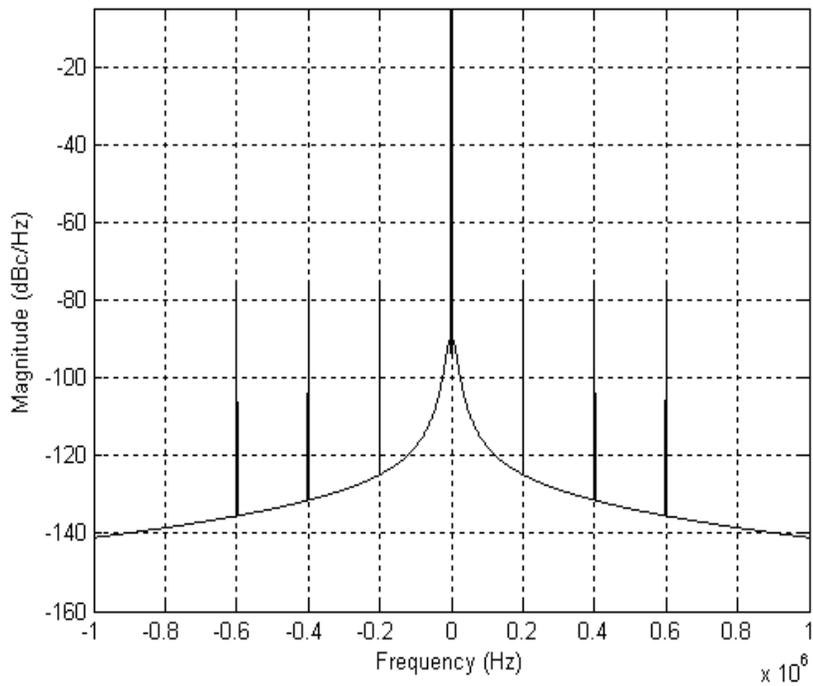
**Figure 8 :** Bruit de phase avec et sans le bruit des r sistances



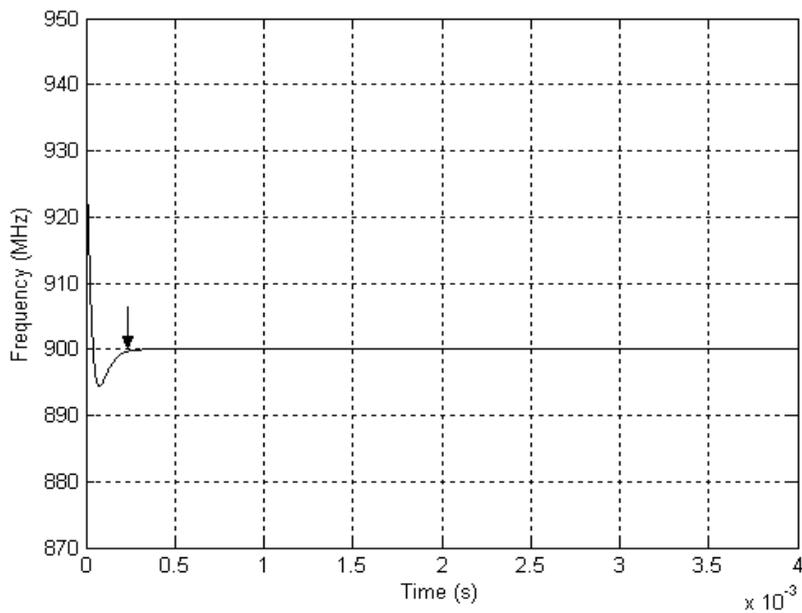
**Figure 9 :** Réponse d'erreur de la boucle

Dans ce travail, le choix du filtre de la boucle est une partie très critique du synthétiseur (PLL). En général, une basse fréquence de coupure du filtre de la boucle ne fait pas atténuer le bruit de phase mais elle rend la réponse de la PLL plus lente, le temps du changement de fréquence (PLL lockup time) plus long et les raies de références sont atténuées ce qui présente un avantage. Inversement, une fréquence de coupure élevée conduit à une réponse de PLL plus rapide, un PLL lockup time moins court et le signal de sortie de la PLL présente des pics de référence de hauts niveaux. Par conséquent nous pouvons constater qu'au moment où on règle un problème on crée un autre. C'est la raison pour laquelle le choix du filtre de boucle reste une grande préoccupation des concepteurs de circuits micro-ondes.

Le spectre de sortie et les réponses transitoires sont illustrés respectivement sur les **Figures 10 et 11**, pour un filtre de boucle bien choisi ; les niveaux des raies de référence (spurious), le bruit de phase et la transition de la fréquence sont évalués sous plusieurs conditions. A partir du spectre du signal illustré sur la **Figure 10**, on obtient une densité de bruit de  $-75,2$  dBc/Hz à des multiples de la fréquence de comparaison. Ce résultat est bien suffisant pour cette application. Autrement le temps de stabilisation lorsqu'il y a un changement de fréquence (dans notre application 25 MHz) est de  $250\mu s$ . Ce temps est largement suffisant pour la commutation dans les systèmes de communications modernes. Le système étudié présente une erreur de phase RMS de  $0.01633$  rad ( $0.95$  deg) et un rapport signal sur bruit (S/N) de l'ordre de 36 dB.



**Figure 10 :** *Spectre de sortie de la PLL*



**Figure 11 :** *Réponse temporelle de la PLL*

## 4. Conclusion

Dans ce travail nous avons présenté une analyse d'un synthétiseur de fréquence opérant dans la bande GSM 900. Cette analyse nous a permis de comprendre le comportement physique de chaque bloc constituant la PLL. Nous avons pris aussi en considération l'effet du bruit dans chaque composant et son influence sur la pureté spectrale du signal de sortie. Le signal de sortie obtenu est d'une densité de bruit de  $-75,2$  dBc/Hz à des multiples de la fréquence de comparaison, un temps de verrouillage de  $250\mu\text{s}$ , une erreur de phase RMS de  $0.01633$  rad ( $0.95$  deg) et un rapport signal sur bruit (S/N) de l'ordre de  $36,037$  dB. Ces caractéristiques montrent bien l'importance de ce circuit dans les systèmes de communications modernes (GSM, DCS, ..).

## Références

- [1] - L. Lascari, "Accurate Phase Noise Prediction in PLL Synthesizers", *Applied Microwave and Wireless*, 12(2) (2000) 30-38.
- [2] - Samir Kameche, M. Feham and M. Kameche, "PLL Synthesizer Tunes DCS1800 Band", *Microwave & RF*, 46(6) (2007) 84-90.
- [3] - David VYE, "Performing Transient Analysis on PLL Frequency Synthesizers", *Microwave Journal*, 45(1) (2002) 62-79.
- [4] - J-S. Sun, K-K. Tiong and J-H Liu, "Design and Implementation of an L-Band PLL Frequency Synthesizer", *Microwave Journal*, 42(4) (1999) 90-102.
- [5] - T. Aytur and J. Khoury, "Advantages of Dual-Loop frequency Synthesizer for GSM Applications", IEEE International Symposium on Circuit and Systems (ISCAS) proceedings, June 9-12, Hong Kong, Vol 1 (1997) 17-20.
- [6] - Kyoohum Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization" *IEEE Journal of Solid-State Circuits*, 35(6) (2000) 807-815.
- [7] - E. Drucker, "Model PLL Dynamics and Phase-noise Performance", *Microwave & RF*, 39(2) (2000) 73-82.
- [8] - D. Banarjee, "PLL Performance, Simulation, and Design", Forth Edition, (2006).